

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-303412
 (43)Date of publication of application : 13.11.1998

(51)Int.Cl. H01L 29/78
 H01L 21/336
 H01L 21/285
 H01L 21/8238
 H01L 27/092

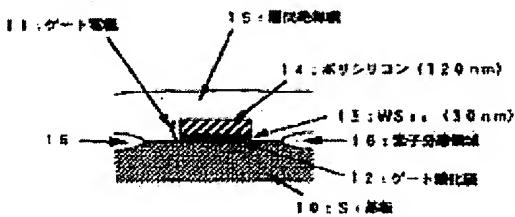
(21)Application number : 09-105000 (71)Applicant : SONY CORP
 (22)Date of filing : 22.04.1997 (72)Inventor : KOMATSU YUJI

(54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and a fabrication method thereof in which the gate electrode can be made thick enough to block implantation of ions into a channel when a self-aligned diffusion layer is formed by ion implantation even if a material having a work function close to the midgap of silicon is employed in the gate electrode and an undue tensile stress is not applied to a gate oxide.

SOLUTION: A gate electrode 11 is composed of WSix 13 and polysilicon 14 and the lower layer of WSix touches a gate oxide 12. Since the work function of WSix is close to the midgap of silicon, threshold voltage V_{th} can be controlled to a correct level. Tensile stress being applied to the gate oxide can be lessened by making thin the WSix layer and the entire gate electrode can be made thick enough by depositing polysilicon on the WSix.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-303412

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.⁶
H 0 1 L 29/78
21/336
21/285 3 0 1
21/8238
27/092

F I
H 0 1 L 29/78
21/285
27/08
3 0 1 P
3 0 1 T
3 2 1 D

審査請求 未請求 請求項の数26 O L (全 12 頁)

(21)出願番号 特願平9-105000

(22)出願日 平成9年(1997)4月22日

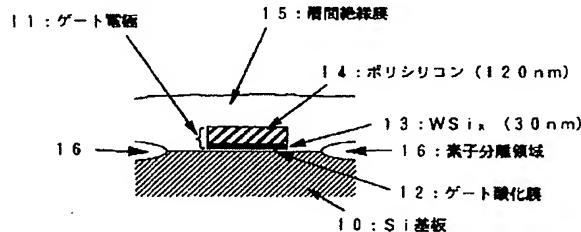
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 小松 裕司
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内
(74)代理人 弁理士 半田 昌男

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 ゲート電極に仕事関数がシリコンのミッドギヤップ付近にある材料を用いた場合でも、イオン注入による自己整合拡散層を形成する際のイオンがチャネルに注入されるのを阻止することができる程度にゲート電極を厚くでき、かつ、ゲート酸化膜に過剰な引っ張り応力を加えることのない半導体装置及びその製造方法を提供する。

【解決手段】 ゲート電極11はWSi_x、13とポリシリコン14からなり、下層のWSi_xがゲート酸化膜12と接する。WSi_xの仕事関数はシリコンのミッドギヤップ付近にあるため、しきい値電圧V_{th}を適正な値に制御できる。WSi_xの膜厚を薄くすることによりゲート酸化膜に加わる引っ張り応力は軽減され、WSi_xの上にポリシリコンを形成することにより、ゲート電極全体の膜厚を十分に厚くできる。



【特許請求の範囲】

【請求項1】 チャネルの上にゲート酸化膜を介して形成されたゲート電極を有する半導体装置において、前記ゲート電極は、前記ゲート酸化膜に接する下層が高融点金属シリサイド、上層がポリシリコンからなる二層構造であることを特徴とする半導体装置。

【請求項2】 前記高融点金属シリサイドは、タンゲステンシリサイド($W\text{Si}_x$)、モリブデンシリサイド(MoSi_x)、タンタルシリサイド(TaSi_x)及びチタンシリサイド(TiSi_x)のうちのいずれか一つである請求項1記載の半導体装置。

【請求項3】 前記高融点金属シリサイドの膜厚は、最大でも前記ポリシリコンの膜厚の3分の1である請求項1記載の半導体装置。

【請求項4】 前記半導体装置は電界効果トランジスタであり、前記高融点金属シリサイドの膜厚は、前記電界効果トランジスタのしきい値電圧を所定の値に制御することができる厚さであり、前記ゲート電極全体の膜厚は、ソース／ドレイン拡散層を形成する際の不純物イオンがチャネル領域に注入されるのを阻止することができる程度に厚く、かつ、下層のゲート酸化膜に加える引っ張り応力を十分抑えることができる程度に薄くしたものである請求項1記載の半導体装置。

【請求項5】 前記ポリシリコンは、砒素(A s)、磷(P)及びボロン(B)のうちのいずれか一つ以上がドーピングされている請求項1記載の半導体装置。

【請求項6】 前記高融点金属シリサイドは、高融点金属フッ化物とクロロシラン系化合物とを含む混合ガスを用いたCVD法により形成したことを特徴とする請求項1記載の半導体装置。

【請求項7】 前記半導体装置は、相補型MOS(CMOS)トランジスタである請求項1記載の半導体装置。

【請求項8】 チャネルの上にゲート酸化膜を介して形成されたゲート電極を有する半導体装置において、前記ゲート電極を、前記ゲート酸化膜に接する下層が高融点金属シリサイド、中層が金属窒化物、上層がポリシリコンからなる三層構造としたことを特徴とする半導体装置。

【請求項9】 前記高融点金属シリサイドは、タンゲステンシリサイド($W\text{Si}_x$)、モリブデンシリサイド(MoSi_x)、タンタルシリサイド(TaSi_x)及びチタンシリサイド(TiSi_x)のうちのいずれか一つである請求項8記載の半導体装置。

【請求項10】 前記高融点金属シリサイドの膜厚は、最大でも前記ポリシリコンの膜厚の3分の1である請求項8記載の半導体装置。

【請求項11】 前記半導体装置は電界効果トランジスタであり、前記高融点金属シリサイドの膜厚は、前記電界効果トランジスタのしきい値電圧を所定の値に制御することができる厚さであり、前記ゲート電極全体の膜厚

は、ソース／ドレイン拡散層を形成する際の不純物イオンがチャネル領域に注入されるのを阻止することができる程度に厚く、かつ、下層のゲート酸化膜に加える引っ張り応力を十分抑えることができる程度に薄くしたものである請求項8記載の半導体装置。

【請求項12】 前記ポリシリコンは、砒素(A s)、磷(P)及びボロン(B)のうちのいずれか一つ以上がドーピングされている請求項8記載の半導体装置。

【請求項13】 前記高融点金属シリサイドは、高融点金属フッ化物とクロロシラン系化合物とを含む混合ガスを用いたCVD法により形成したことを特徴とする請求項8記載の半導体装置。

【請求項14】 前記半導体装置は、相補型MOS(CMOS)トランジスタである請求項8記載の半導体装置。

【請求項15】 チャネルの上にゲート酸化膜を介して形成されたゲート電極を有し、かつ、チャネルの両端部にLDD層を有する半導体装置において、

前記ゲート電極は、前記ゲート酸化膜に接する下層が高融点金属シリサイド、上層がポリシリコンからなる二層構造であり、

前記ゲート電極の側面に形成された、ソース／ドレイン拡散層を形成する際の前記LDD層への不純物イオンの注入を阻止するためのサイドウォールと、
を有することを特徴とする半導体装置。

【請求項16】 前記ゲート電極の上にストッパSiO₂が形成されている請求項15記載の半導体装置。

【請求項17】 前記高融点金属シリサイドは、タンゲステンシリサイド($W\text{Si}_x$)、モリブデンシリサイド(MoSi_x)、タンタルシリサイド(TaSi_x)及びチタンシリサイド(TiSi_x)のうちのいずれか一つである請求項15記載の半導体装置。

【請求項18】 前記高融点金属シリサイドの膜厚は、最大でも前記ポリシリコンの膜厚の3分の1である請求項15記載の半導体装置。

【請求項19】 前記半導体装置は電界効果トランジスタであり、前記高融点金属シリサイドの膜厚は、前記電界効果トランジスタのしきい値電圧を所定の値に制御することができる厚さであり、前記ゲート電極全体の膜厚は、ソース／ドレイン拡散層を形成する際の不純物イオンがチャネル領域に注入されるのを阻止することができる程度に厚く、かつ、下層のゲート酸化膜に加える引っ張り応力を十分抑えることができる程度に薄くしたものである請求項15記載の半導体装置。

【請求項20】 前記ポリシリコンは、砒素(A s)、磷(P)及びボロン(B)のうちのいずれか一つ以上がドーピングされている請求項15記載の半導体装置。

【請求項21】 前記高融点金属シリサイドは、高融点金属フッ化物とクロロシラン系化合物とを含む混合ガスを用いたCVD法により形成したことを特徴とする請求

項15記載の半導体装置。

【請求項22】前記半導体装置は、相補型MOS(CMOS)トランジスタである請求項15記載の半導体装置。

【請求項23】チャネルの上にゲート酸化膜を介して高融点金属シリサイド膜を成膜する工程と、前記高融点金属シリサイド膜の上にポリシリコン膜を成膜する工程と、前記高融点金属シリサイド膜及びポリシリコン膜をエッティングして所定形状にバターン化された、高融点金属シリサイド及びポリシリコンからなるゲート電極を形成する工程と、不純物イオンを注入してソース/ドレイン拡散層を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項24】前記半導体装置は電界効果トランジスタであり、前記高融点金属シリサイドの膜厚は、前記電界効果トランジスタのしきい値電圧を所定の値に制御することができる厚さであり、前記ゲート電極全体の膜厚は、ソース/ドレイン拡散層を形成する際の不純物イオンがチャネル領域に注入されるのを阻止することができる程度に厚く、かつ、下層のゲート酸化膜に加える引っ張り応力を十分抑えることができる程度に薄くしたものである請求項23記載の半導体装置の製造方法。

【請求項25】前記高融点金属シリサイド膜は、高融点金属フッ化物とクロロシラン系化合物とを含む混合ガスを用いたCVD法により形成したものである請求項23記載の半導体装置の製造方法。

【請求項26】前記半導体装置は、相補型MOS(CMOS)トランジスタである請求項23記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関する。詳しくは、ゲート電極を特定の構造とすることにより、ゲート酸化膜と接する界面のゲート電極の仕事関数をシリコンのミッドギャップ近辺に制御し、かつゲート酸化膜に加わる引っ張り応力を小さく抑えることができる半導体装置及びその製造方法に係るものである。

【0002】

【従来の技術】相補型MOS(CMOS)トランジスタには、いわゆるバルク構造のもの他に、SOI(Silicon On Insulator)構造のものがある。SOI構造は素子同士の完全分離が容易であり、更にソフトエラーの抑制、CMOSトランジスタに特有のラッチアップの抑制が図られるなどの利点がある。このため、シリコン活性層の厚さを500nm程度としたSOI構造のCMOSトランジスタLSIについて、比較的早い段階から高速化、高信頼性化を図る試みがなさ

れてきた。

【0003】近年、SOI構造の表面のシリコン層の厚さを100nm程度にまで薄くし、また、チャネル不純物濃度も比較的低めに制御して、シリコン活性層のほぼ全体が空乏化するようにした、いわゆる完全空乏型のCMOSが現れている。CMOSをこのような完全空乏型にすると、短チャネル効果の抑制やMOSトランジスタの電流駆動能力の向上が図られるなど、優れた性能が得られることが明らかとなってきた。

【0004】ところで、通常のエンハンスマント型MOSトランジスタでは、多数のトランジスタを含む集積回路全体の電力消費を抑えるために、ゼロバイアス(オフの状態)でのドレイン電流をできるだけ小さくしたいという要請がある。このためには、しきい値電圧 V_{th} をある程度高くする必要がある。一方、MOSトランジスタのドレイン-ソース間に加えた電源電圧のうちドレイン-ソースに有効に加わるのは、電源電圧からしきい値電圧 V_{th} を引いた値である。このため、しきい値電圧 V_{th} を高くしすぎると効率が悪い。したがって、しきい値電圧 V_{th} の適正値は、0.5~1.0V程度であるとされている。しかし、主として高温プロセスによく耐えるという理由で従来から多用されてきたn⁺ポリシリコンを、CMOSのゲート電極材料として用いる場合、nMOSトランジスタのしきい値電圧 V_{th} を上記の適正範囲にするには、チャネルの不純物濃度を約10¹⁷/cm³程度以上にしなければならず、したがってSOI構造のMOSトランジスタを完全空乏型にすることが難しくなる。

【0005】このため、完全空乏型のままでエンハンスマント型のMOSトランジスタを作成する方法として、ゲート電極材料にp⁺ポリシリコン(B-DOPOS)を用いることが検討されている。しかし、例えば、nMOSのトランジスタに対しp⁺ポリシリコンをゲートに用いると、チャネルがノンドープの場合でしきい値電圧 V_{th} は約1.0Vであり、 V_{th} をこれより下げるためにはnMOSのチャネルに磷(P)をドープするなどのカウンタードープを行わなければならない。しかし、このカウンタードープは、短チャネル効果を増大させるので、LSIの微細化にとっては好ましくない。

【0006】したがって、結局、n⁺ポリシリコンおよびp⁺ポリシリコンのどちらをゲート電極とする場合にも、活性層が薄膜化する微細SOIデバイスに対しては、トランジスタのしきい値 V_{th} を0.5V程度の適正な値に制御することは不可能である。また、部分空乏型のトランジスタに対しても、チャネルの不純物濃度をいたずらに上昇させることは、ドレイン・リーク電流を増加させることになるので、やはり好ましくない。

【0007】一方、微細化の進むバルクシリコンによるMOSトランジスタにおいても、ゲート電極の材料としてn⁺型のポリシリコンが用いられてきた。これは、前

述の高温プロセスによく耐えるということの他に、チャネル・プロファイルが埋め込み型となるために移動度が高くなり、デバイス動作を高速化できるからである。しかし、埋め込みチャネル型のMOSトランジスタは、微細化が進むにつれて、短チャネル効果によってバンチスルーレーが生じやすくなるという問題がある。

【0008】CMOSについては、更に、nMOSのしきい値電圧とpMOSのしきい値電圧の絶対値を等しくすること、すなわちしきい値電圧を対称化することが要求される。従来のCMOSでは、前述の理由によりnMOS、pMOSのいずれのゲート電極にもn⁺型のポリシリコン膜を用いていた。この場合、nMOSとpMOSのしきい値電圧V_{th}が非対称となるため、V_{th}を対称化するために、通常はpMOSのチャネル領域に浅くボロン(B)をイオン注入し、両トランジスタのしきい値電圧V_{th}をほぼ等しく設定している。しかし、このイオン注入により、基板表面の不純物濃度が上昇しキャリア移動度が低下するので、動作の高速化には不利となる。したがって、ゲート電極としてn⁺型のポリシリコンのみを用いたのでは、nMOSトランジスタとpMOSトランジスタの両方について、同時に、短チャネル効果に強い表面チャネル型で、かつ動作が高速化なCMOSトランジスタを形成することはできない。

【0009】このため、チャネル不純物濃度だけでなく、ゲート電極の仕事関数をも用いてしきい値電圧V_{th}を調整することが考えられ、この目的のためにnMOSトランジスタに対してはn⁺ポリシリコン、pMOSトランジスタに対してはp⁺ポリシリコンをそれぞれ用いるデュアルゲートプロセスが検討されている。また、このようにすると、両MOSトランジスタのしきい値電圧V_{th}を対称化することもできる。これについては、たとえば、シンポジウム・オンVLSIテクノロジー(1994年)抄録集、演題番号2.2を参照することができる。

【0010】しかしながら、nMOSトランジスタとpMOSトランジスタで、ドーパントのタイプが異なるポリシリコンをゲート電極として用いると、nMOSのn⁺ポリシリコンゲートとpMOSのp⁺ポリシリコンゲートが接続する部分でそれぞれのゲート電極中の不純物が相互に拡散するため、それぞれのゲート電極の仕事関数が大きく変動し、このためしきい値電圧V_{th}も大きく変動するという問題がある。かかる問題は、ゲート電極の低抵抗化のためにポリシリコンの上層にタンクステンシリサイド(WSi_x)等のシリサイドを用いたときに特に顕著となる。

【0011】図14は、このことを説明するための図であり、同図左上のnMOSトランジスタ50(ゲート電極下層のポリシリコン51はn型)と同図右上のpMOSトランジスタ52(ゲート電極下層のポリシリコン53はp型)を接触させて同図下側のCMOS54を形成

すると、それぞれのトランジスタのゲート電極下層のポリシリコンに含まれる異なるタイプのドーパントが、上層のタンクステンシリサイド層55、56を通じて相互に拡散するため、ポリシリコン51及び53の仕事関数が変動する。これは、シリサイド中のドーパントの拡散係数が非常に大きいことによるものである。

【0012】このことから、バルクシリコンによるCMOSデバイスにおいても、やはり両トランジスタのゲート電極にドーパントのタイプが異なるポリシリコンを用いるのではなく、シリコンのバンドギャップの中央(ミッドギャップ)近辺に仕事関数を有する同一タイプのゲート電極を用いることが検討されている。具体的には、シリコンのミッドギャップ近辺に仕事関数を有するものが多い高融点金属シリサイドがゲート電極材料として注目されており、中でもモリブデンシリサイド(MoSi_x)やタンクステンシリサイド(WSi_x)などは、SiO₂と直接反応しないので、ゲート耐圧を大きく劣化させることなく、ゲート電極材料として特に注目されている。図15は、タンクステンシリサイド(WSi_x)60を単層のゲート電極として用いたMOSトランジスタの例である。この場合、一方のMOSトランジスタのみを図示しているが、CMOSを構成する他方のMOSトランジスタにも同じ単層のタンクステンシリサイドをゲート電極として用いている。

【0013】

【発明が解決しようとする課題】ところで、ゲート電極は、ソース及びドレインの拡散層(以下「ソース/ドレイン拡散層」という。)を自己整合によるイオン注入で形成する場合において、ゲート電極直下のチャネルにイオンが注入されるのを阻止するという重要な役割を果たす。このためゲート電極は、自己整合で拡散層を形成するのに十分なだけの膜厚とすることが必要となる。図15に示すタンクステンシリサイド60のゲート電極も、この点を考慮して十分な厚さ、例えば150nm以上とする必要がある。

【0014】しかしながら、一方で、高融点金属シリサイドは成膜後において10⁹Paというオーダーの大きな内部応力をを持つものが多い。このように大きな内部応力を持つ材料を、自己整合による拡散層を形成できる程度の膜厚でゲート電極として形成すると、下地のゲート酸化膜に対して大きな引っ張り応力を印加することになる。その結果、ゲート酸化膜に加わる引っ張り応力によるリーク電流や界面電荷が増大するという問題が生じ、集積回路全体の信頼性低下につながってしまう。

【0015】本発明は上記事情に基づいてなされたものであり、ゲート電極に仕事関数がシリコンのミッドギャップ付近にある材料を用いた場合でも、イオン注入による自己整合拡散層を形成する際のイオンがチャネルに注入されるのを阻止することができる程度にゲート電極を厚くでき、かつ、ゲート酸化膜に過剰な引っ張り応力を

加えることのない半導体装置及びその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】上記の目的を達成するための第1の発明は、チャネルの上にゲート酸化膜を介して形成されたゲート電極を有する半導体装置において、前記ゲート電極は、前記ゲート酸化膜に接する下層が高融点金属シリサイド、上層がポリシリコンからなる二層構造であることを特徴とする。

【0017】上記の目的を達成するための第2の発明は、チャネルの上にゲート酸化膜を介して形成されたゲート電極を有する半導体装置において、前記ゲート電極を、前記ゲート酸化膜に接する下層が高融点金属シリサイド、中層が金属窒化物、上層がポリシリコンからなる三層構造としたことを特徴とする。上記の目的を達成するための第3の発明は、チャネルの上にゲート酸化膜を介して形成されたゲート電極を有し、かつ、チャネルの両端部にLD層を有する半導体装置において、前記ゲート電極は、前記ゲート酸化膜に接する下層が高融点金属シリサイド、上層がポリシリコンからなる二層構造であり、前記ゲート電極の側面に形成された、ソース／ドレイン拡散層を形成する際の前記LD層への不純物イオンの注入を阻止するためのサイドウォールとを有することを特徴とする。

【0018】上記の目的を達成するための第4の発明である半導体装置の製造方法は、チャネルの上にゲート酸化膜を介して高融点金属シリサイド膜を成膜する工程と、前記高融点金属シリサイド膜の上にポリシリコン膜を形成する工程と、前記高融点金属シリサイド膜及びポリシリコン膜をエッチングして所定形状にバターン化された高融点金属シリサイド及びポリシリコンからなるゲート電極を形成する工程と、不純物イオンを注入してソース／ドレイン拡散層を形成する工程とを具備することを特徴とする。

【0019】前記第1乃至第4の発明において、高融点金属シリサイドは、タングステンシリサイド(WS_{i,x})、モリブデンシリサイド(MoS_{i,x})、タンタルシリサイド(TaS_{i,x})及びチタンシリサイド(TiS_{i,x})のうちから選択することができる。また、ポリシリコンは、砒素(As)、磷(P)及びボロン(B)のうちのいずれか一つ以上がドーピングされてもよい。更に、高融点金属シリサイドは、例えば、高融点金属フッ化物とクロロシラン系化合物とを含む混合ガスを用いたCVD法により形成する。

【0020】第1の発明は、ゲート電極のうちゲート酸化膜に接する下層を高融点金属シリサイドとすることにより、しきい値電圧に影響を与える仕事関数をシリコンのバンドギャップの中央(ミッドギャップ)付近に制御できるので、しきい値電圧V_{th}を適正な値に制御できる。また、この高融点金属シリサイドの上に内部応力の

比較的小さいポリシリコンを形成することにより、ゲート電極全体の膜厚を、自己整合によるソース／ドレイン拡散層形成の際にチャネル部分に不必要な不純物イオンが注入されるのを防止するのに十分な厚さとすることができる。また、内部応力の大きい高融点金属シリサイドの膜厚を十分な薄さに形成することができるので、ゲート酸化膜に印加される引っ張り応力は小さくなる。

【0021】第2の発明は、ゲート電極を、下層が高融点金属シリサイド、中層が金属窒化物、上層がポリシリコンという三層構造としたことにより、第1の発明の作用及び効果に加え、更に、上層のポリシリコンに不純物を導入して導体化した場合に、その不純物が下層の高融点金属シリサイドへ拡散されるのを中層の金属窒化物によって阻止することができるので、下層の高融点金属シリサイドの仕事関数の変動を有效地に抑えることができる。

【0022】第3の発明は、前記より、サイドウォールを設けることにより、第1の発明の作用及び効果を有する、例えばLD構造のMOSトランジスタを実現することができる。第4の発明は、ゲート電極のうちゲート酸化膜に接する下層を高融点金属シリサイドとすることにより、しきい値電圧に影響を与える仕事関数をシリコンのミッドギャップ付近に制御できるので、例えば電界効果トランジスタのしきい値電圧V_{th}を適正な値に制御できる。また、この高融点金属シリサイドの上に内部応力の比較的小さいポリシリコンを形成することにより、ゲート電極全体の膜厚を、自己整合によるソース／ドレイン拡散層形成の際にチャネル部分に不必要な不純物イオンが注入されるのを阻止するのに十分な厚さとすることができる。また、内部応力の大きい高融点金属シリサイドの膜厚を十分な薄さに形成することができるので、ゲート酸化膜に印加される引っ張り応力は小さくなる。

【0023】

【発明の実施の形態】以下に図面を参照して、本発明の実施形態について説明する。前述のように、ゲート電極として用いる材料の仕事関数は、ゲートのしきい値電圧V_{th}に影響を及ぼすが、その影響は、ゲート電極のうちゲート酸化膜と接する非常に薄い部分の仕事関数でほぼ決まる。一方、ゲート電極がゲート酸化膜に印加する引っ張り応力は、ゲート電極材料の内部応力とその厚さに依存する。したがって、ゲート電極材料として内部応力の小さいものを用いれば、ゲート酸化膜に印加される引っ張り応力を小さくでき、かつ、自己整合による拡散層形成の際にチャネル部分に不必要な不純物イオンが注入されるのを阻止できる程度の膜厚とすることができる。

このような点に着目し、ゲート電極のうち、ゲート酸化膜と接する薄い部分にはシリコンのミッドギャップ付近に仕事関数を有する高融点金属シリサイドを用いることとし、その上に内部応力の小さいポリシリコンを、自己整合による拡散層形成の際にチャネル部分に不必要な不

純物イオンが注入されるのを阻止できる程度の厚さにまで形成し、これら両者を併せてゲート電極とする。

【0024】図1は、CMOS等の半導体装置で用いられる本発明の第1実施形態のゲート電極の構造を示した断面図である。但し、図1のゲート電極の構造は、nMOS、pMOSで共通するため、特に両者を区別していない。図1のMOSトランジスタはバルク状のシリコン基板10の上に形成されている。ゲート電極11は、シリコン基板10の上部に、 SiO_2 からなるゲート酸化膜12を間に介して形成されている。ゲート電極11は、下層のタンゲステンシリサイド(WSi_x)13と上層のポリシリコン14の二層からなっている。したがって、ゲート電極11のうち、ゲート酸化膜12と接しているのは、タンゲステンシリサイド13である。また、上層のポリシリコン14には、砒素(A₃S)を $5 \times 10^{15}/cm^2$ のドーズ量でドープしており、不純物濃度を約 $4.2 \times 10^{20}/cm^3$ 程度としてある。これにより、ポリシリコン14は完全に導体となっている。

【0025】ゲート電極11の周囲及び上層には層間絶縁膜15が形成されている。また、図1の両端部には、隣り合う素子との電気的な分離のためのLOCOS法による素子分離領域16が示してある。尚、図1では、ゲート電極11の左右両側のシリコン基板10中に形成されるソース/ドレイン拡散層は省略してある。後述の図2及び図3においても同様である。

【0026】ゲート電極11を構成する二層のうち、下層のタンゲステンシリサイド13の膜厚は例えば 30 nm 、上層のポリシリコンの膜厚は例えば 120 nm 、合計で 150 nm とする。この程度の膜厚があれば、自己整合によるソース/ドレイン拡散層形成の際に、不純物イオンが下層のチャネルに注入されるのを有効に阻止することができる。

【0027】一方、タンゲステンシリサイドの内部応力は、出来上がりで約 10^9 Pa 程度であり、ポリシリコンのそれと比べる1桁程度大きい。このようなタンゲステンシリサイドを仮に 150 nm 程度の膜厚に堆積すると、その内部応力に起因して下層のゲート酸化膜12には非常に大きな引っ張り応力が印加され、ゲート酸化膜におけるリーケ電流や界面電荷が増大する。しかしながら、タンゲステンシリサイド13の膜厚を、上記のように 30 nm 程度に抑えると、これは通常のポリシリコンゲートの膜厚の10分の1程度の薄さであり、この上に 120 nm のポリシリコン14を形成したとしても、ゲート電極11全体としての内部応力は、一般的のポリシリコンゲートの場合と同程度に抑えることができる。

【0028】尚、本実施形態では、上記のようにタンゲステンシリサイド13の膜厚を例えば 30 nm 程度とするのが望ましいが、例えば 10 nm 程度まで薄くしても、トランジスタのしきい値電圧 V_{th} を適当な値に調整できるという効果は得られる。一方、タンゲステンシリ

サイド13の膜厚の上限は許容できる内部応力の大きさ、及び上に積層するポリシリコン14の膜厚にも依存するが、大体 100 nm 程度に抑えるのが望ましい。また、上記では、タンゲステンシリサイド13の上に形成するポリシリコンの膜厚を 120 nm 程度としたが、ゲート電極全体の厚さが薄くなりすぎると、後述するLDのためのサイドウォールの形成が困難となり、また、拡散層形成の際の不純物イオンを遮蔽する効果も低下する。かかる観点から、ポリシリコンの膜厚は望ましくは 120 nm 、少なくとも 90 nm 程度とすることが必要である。したがって、タンゲステンシリサイド13の膜厚を 30 nm とした場合には、ポリシリコン14の膜厚はその3倍以上ということになる。

【0029】タンゲステンシリサイドのような高融点金属シリサイドの仕事関数は、シリコンのミッドギャップ近辺に位置している。したがって、ゲート酸化膜12と接する部分にタンゲステンシリサイドを用いてMOSトランジスタのゲート電極を形成すれば、チャネル領域にそれほど大量の不純物を導入しなくとも、トランジスタのしきい値電圧 V_{th} を 0.5 V 程度の適当な値に調整することができる。尚、タンゲステンシリサイドは、ノンドープでもよいし、砒素(A₃S)、燐(P)、ボロン(B)等の不純物をドーズ量 $1 \times 10^{15}/cm^2$ 以上でドープして、その仕事関数を制御してもよい。

【0030】このため、かかるMOSトランジスタを用いてCMOSを構成した場合には、nMOSトランジスタとpMOSトランジスタのしきい値電圧を容易に対称化できるという利点がある。ポリシリコンによるゲート電極を用いた従来のMOSトランジスタでは、しきい値電圧 V_{th} をたとえば約 0.6 V とするためには、チャネル不純物濃度を $10^{17}/cm^3$ のオーダー以上に高めることが必要であった。これに対し、ゲート酸化膜12と接する部分にタンゲステンシリサイドを用いると、ゲートがノンドープ状態でもチャネル不純濃度は $10^{16}/cm^3$ のオーダー以下で十分である。このとき、電子の移動度は、不純物による散乱が少なくなる分大きくなり、その結果、MOSトランジスタの電流駆動能力を高めることができる。

【0031】ところで、ゲート酸化膜の SiO_2 中のO原子は、タンゲステンシリサイド(WSi_x)膜の中のW原子よりもSi原子とより強く結合する。したがって、タンゲステンシリサイド中のSi原子の結合手がいかに多くゲート酸化膜中のO原子と結合できるかが、タンゲステンシリサイドのゲート酸化膜に対する密着性に大きく関係する。タンゲステンシリサイドを成膜する一般的な方法は、たとえば六フッ化タンゲステン(WF₆)／シラン(SiH₄)混合系ガスを用いる、いわゆるシラン還元CVD法である。しかし、シラン還元CVD法でゲート酸化膜上に成膜したタンゲステンシリサイドは、極めて剥離しやすいという問題がある。これ

は、シラン還元CVD法で成膜されたタンクステンシリサイドには、通常、 $10^{19}/\text{cm}^3$ のオーダーのF原子が含有されており、ゲート酸化膜(SiO_2)のO原子と結合すべきSi原子の結合手がF原子で消費されているためと考えられる。

【0032】そこで、本実施形態では、一般的なシラン還元CVD法ではなく、高融点金属フッ化物とクロロシラン系化合物とを含む混合ガスを用いたCVD法で、高融点金属シリサイドであるタンクステンシリサイドを成膜する。具体的には、六フッ化タンクステン(WF_6)とジクロロシラン(SiH_2Cl_2)を含む混合ガスを用いたCVD法(「ジクロロシラン還元CVD法」という)を用いる。ジクロロシラン還元CVD法によって成膜されたタンクステンシリサイドは、おそらくその成膜温度の高さによる結晶性のよさに起因して、シラン還元CVD法によるタンクステンシリサイドよりもF原子の取り込み量が3桁も低く($1 \times 10^{17}/\text{cm}^3$ 程度)、このため、Si原子の有効な結合手がF原子に消費される割合が少なくなる。

【0033】このように、本実施形態では、一般に用いられるシラン還元CVD法ではなく、ジクロロシラン還元CVD法を用いてタンクステンシリサイドを成膜することにより、ゲート酸化膜に対する密着性を向上させることができる。しかも、タンクステンシリサイド(WSi_x)のW原子に対するSi原子の組成比xを2.7以上、望ましくは3.0以上として化学量論的組成よりもSiリッチとすることにより、厚さ10nmレベルのゲート酸化膜の耐圧も良好に維持することができる。しかも、CVD法による成膜は、スパッタリング成膜と異なり、ステップカバレジに優れ、イオン照射損傷も少ないので、段差部分での抵抗上昇やゲート絶縁膜の絶縁耐圧劣化も抑制できる。

【0034】図2は、CMOS等の半導体集積回路で用いられる本発明の第2実施形態のゲート電極の構造を示した断面図である。同図において、図1と同一の部分については同一符号を付すことにより、その詳細な説明を省略する。図2の構造で図1と異なるのは、ゲート電極11の上にストップ SiO_2 18を形成したこと、ゲート電極11およびストップ SiO_2 18の側壁にポリシリコンからなるサイドウォール19を設けた点である。

【0035】ストップ SiO_2 18の膜厚は、例えば150nmとする。この程度の膜厚の SiO_2 をゲート電極11の上に形成しておくことにより、nMOS, pMOSのいずれに対しても、拡散層形成のために高濃度のイオン注入を行った後もゲート電極11中の不純物濃度に影響が及ばないようにすることができる。これにより、タンクステンシリサイド13の中の不純物のタイプや濃度を一定に維持することができ、その結果、仕事関数も一定に保たれる。尚、タンクステンシリサイドは、ノンドープでもよいし、砒素(As)、磷(P)、ボロ

ン(B)等の不純物をドーズ量 $1 \times 10^{15}/\text{cm}^2$ 以上でドープして、その仕事関数を制御してもよい点は、第1実施形態の場合と同様である。

【0036】サイドウォール19は、LDD(Lightly Doped Drain)スペーサとしての役割を果たす。すなわち、サイドウォール19は、拡散層のイオン注入を行う際にLDD層に余分な不純物が注入されるのを防止する。また、後述のように被酸化特性が向上し、その結果ゲート電極が酸化雰囲気にさらされてもタンクステンシリサイドの異常酸化を防止できるという効果もある。サイドウォール19の厚さは、例えば約150nmとする。拡散層形成のためのイオン注入を行うときには、チャネリングを防止するために、通常はステップカバレジのよいHTO(High Temperature Oxide)やSi基板の酸化による酸化膜(図示せず)を形成しておくことが必要となる。サイドウォール19を形成しておくことにより、これらの膜を形成するときにタンクステンシリサイドが酸化されるのを防止することができるという利点がある。

【0037】図3は、CMOS等の半導体集積回路で用いられる本発明の第3実施形態のゲート電極の構造を示した断面図である。同図において、図1及び図2と同一の部分については同一符号を付すことにより、その詳細な説明を省略する。図3の構造で図1と異なるのは、タンクステンシリサイド13とポリシリコン14の界面に、薄い窒化タンクステン(WN_x)膜20を設けた点である。窒化タンクステン膜20の厚さは約3nmである。窒化タンクステン膜20を設ける目的は、ポリシリコン14内の不純物がタンクステンシリサイド13へ拡散することを防ぐことである。

【0038】タンクステンシリサイド12はノンドープでもよいし、砒素(As)や磷(P)などの不純物を例えば $10^{15}/\text{cm}^2$ 程度のドーズ量でドープして、その仕事関数を適当な値に制御するようにしてもよい。尚、本実施形態の構造では図2のようなストップ SiO_2 18は形成しないので、ポリシリコン14は、予め不純物をドープしておかなくても、ソース/ドレイン拡散層(図示せず)を形成する際に自動的にドープされることになり、結果として導体化される。このとき、ポリシリコン14とタンクステンシリサイド13とでドーパントのタイプ及び濃度が異なる場合があるが、両者の間に介在する薄い窒化タンクステン膜20によって厚さ方向における不純物の拡散が抑えられるので、ゲート酸化膜12とタンクステンシリサイド13の界面部分の仕事関数は、予め規定した通りの値に維持される。

【0039】次に、本発明に係るゲート電極を有する半導体装置の製造方法について説明する。尚、ここでは、図2に示した構造のゲート電極を有する半導体装置の製造方法について、図4～図13を参照しながら順を追って説明する。但し、説明の便宜上、図2で用いた符号とは

別の符号を用いる。まず、図4に示すように、シリコン基板30上にLOCOS法を用いて素子分離領域31を形成する。また、図示しないが、例えば基板がn型シリコンの場合であれば、nMOSトランジスタを作成するための領域としてp型のウェルを形成する。シリコン基板30の上には、SiO₂からなるゲート酸化膜32を形成する。

【0040】次に、ゲート酸化膜32の上に、タングステンシリサイド33を形成する。膜の厚さは約30nmである。尚、ゲート酸化膜32の上に直接成膜するこのタングステンシリサイド33の成膜工程では、前述のように六フッ化タングステン(WF₆)とジクロロシラン(SiH₂C₁₂)を含む混合ガスを用いたCVD法(ジクロロシラン還元CVD法)を用いて、タングステンシリサイド33をSiリッチ(WSi_xで、望ましくはx=3以上)にする。これにより、前述のようにタングステンシリサイド33のゲート酸化膜32に対する密着性を向上させることができる。このときの成膜条件は、Cold-Wa11型のLP-CVD装置を用い、温度680°C、圧力40Paのもとで、反応ガスとしてSiH₂C₁₂、WF₆、Arを、それぞれ160sccm、1.6sccm、100sccmの流量で流す。

【0041】続いて、ポリシリコン34を形成する。膜の厚さは約120nmである。このときの成膜条件は、Hot-Wa11型のLP-CVD装置を用い、温度625°C、圧力20Paのもとで、反応ガスとしてSiH₄を400sccmの流量で流す。図5は、ゲート酸化膜32の上にタングステンシリサイド33、ポリシリコン34を形成した状態を示している。この二つの層が、後述のようにゲート電極となる。次に、図6に示すように、不純物イオンのイオン注入を行う。この工程はゲート電極となるポリシリコン34を導体化するために行われる。不純物としては例えば磷(P)を用い、これを加速電圧15keV、ドーズ量約5×10¹⁵/cm²でイオン注入する。これによってポリシリコン34は、ほぼ導体となる。

【0042】続いて、ポリシリコン34の上にストップSiO₂を形成するためのSiO₂膜35を形成する。図7はSiO₂膜35を形成した状態を示す。この成膜工程には例えば常圧CVD法を用い、膜厚は約150nmとする。次に、図8に示すように、SiO₂膜35の上にレジストを塗布し、フォトリソグラフィでゲート電極の最終的な形状に基づいてパターニングを行い、レジストマスク36を形成する。そしてSiO₂を、このレジストマスク36に基づいてエッチング加工する。このエッチング加工は、例えばマグネットロン型エッチャーパーを用いて、温度20°C、圧力2.7Pa、RF出力1000Wの条件下で、反応ガスとしてCHF₃を45sccmの流量で流しながら行う。その後レジストマスク36を除去すると、図9に示すように、ゲート電極の形状に

パターン化されたSiO₂膜35aが得られる。

【0043】続いて、図9に示したパターン化されたSiO₂膜35aをマスクとして、ポリシリコン34、タングステンシリサイド33をエッチングする。このエッチング加工は、例えば温度20°C、圧力0.4PaのもとでECRプラズマエッチャーパーを用いて行い、RF出力は第1ステップで80W、第2ステップで30Wとする。反応ガスとしては、例えばCl₂及びO₂を用い、それぞれ75sccm、5sccmの流量で流す。これにより、図10に示すようにSiO₂膜35aと同一パターンのポリシリコン34a及びタングステンシリサイド33aが得られ、これらがゲート電極37となる。

【0044】次に、LDD層(図示せず)への不純物の導入を行う。この場合、CMOSのnMOSトランジスタとpMOSトランジスタのそれぞれに、レジストマスクによりイオンを打ち分ける。LDD層を設けることにより、ドレイン端部での空乏層内の電界が弱められ、ホットエレクトロン効果を抑制することができる。LDD層へ不純物を導入した後は、図11に示すように、ゲート電極37の側面にサイドウォール38を形成する。サイドウォール38を設ける目的は、主としてソース/ドレイン拡散層を形成する際にその不純物がサイドウォール38の下層のLDD層に注入されるのを防ぐためである。これに加え、ポリシリコンのサイドウォールによってタングステンシリサイド等の高融点金属シリサイドを完全に囲むことによって、タングステンシリサイドについては酸化雰囲気に直接さらされなくなる。このため、ゲート電極全体での被酸化特性は向上し、その結果、HTO膜を形成する場合などにゲート電極が酸化雰囲気にさらされても、タングステンシリサイドの異常酸化は防止され、表面モロジー(Morphology)の劣化を抑制できる。サイドウォール38は、まずポリシリコンを全面に堆積し、その後異方性エッチング加工でエッチバックすることによって形成される。

【0045】その後、不純物をイオン注入することにより、ソース/ドレイン拡散層を形成する。このとき、図12に示すように、CMOSのpMOSトランジスタを形成する場合には例えば二フッ化ボロン(BF₃)イオンを、nMOSトランジスタを形成する場合には例えば砒素(As)イオンをイオン注入する。この場合、nMOSトランジスタとpMOSトランジスタのうち一方に不純物を注入するときは他方の上部をフォトレジスト39でマスクすることによりそれぞれのイオンを打ち分け、それを所定の導電型とする。尚、フォトレジスト39は、不要となった段階で除去する。

【0046】以上の各層の形成が終わったら、不純物を導入したゲート電極37、LDD層、ソース/ドレイン拡散層などの不純物を活性化するための熱処理を行う。そのときの条件は、例えば温度を1000°C、処理時間を10秒として、Ar雰囲気中でRTA(Rapid

Thermal Annealing) 处理を行う。その後は通常のプロセスにて、図13に示すように、層間絶縁膜40の堆積、コンタクトホール41の形成、メタル42によるコンタクトホールの穴埋め、配線43の形成などを順次行って、図2に示す構造のLDD層及びゲート電極のサイドウォールを有するCMOSデバイスが完成する。

【0047】尚、図1に示した構造のゲート電極を有するCMOSデバイスの場合には、上で説明した製造方法のうち、ストップSiO₂35aを形成する工程、LDD層を形成する工程、サイドウォール38を形成する工程を省けばよい。一方、図3に示した構造のゲート電極を有するCMOSデバイスの場合には、上の図5で示したタンゲステンシリサイド33を形成した後ポリシリコン34を形成する前に、タンゲステンシリサイド33を直接に窒化する処理を行うことによって、図3に示す約3nmの窒化タンゲステン(WNx)膜20を得ることができる。このときの処理条件は、例えばNH₃、雰囲気中で、温度を850°C、処理時間を60秒としてRTA処理を行う。

【0048】図3に示すような窒化タンゲステン膜20をタンゲステンシリサイド13とポリシリコン14の間に挿入することにより、ソース/ドレイン拡散層を形成する際の不純物イオンがタンゲステンシリサイド13にまで注入されない限り、ポリシリコン14側の不純物がタンゲステンシリサイド13側へ拡散するのを窒化タンゲステン膜20によって阻止することができる。このため、タンゲステンシリサイド13の仕事関数が不純物の拡散によって変動するのを有効に防止することができる。

【0049】尚、上記では、図6との関連で説明したように、ゲート電極37の上層のポリシリコン34に磷(P)をドーピングすることによって導体化したが、これは他の不純物、例えば砒素(As)やボロン(B)であってもよい。また、上記では、図5との関連で説明したように、ゲート電極37の下層のタンゲステンシリサイド33aの膜厚を30nm、上層のポリシリコンシリコン34aの膜厚を120nm、サイドウォール38の厚さを150nmとしたが、これらは個々のデバイスの所望の性能、目的、特性などに応じて適宜変更すべきことは言うまでもない。また、上記では、いわゆるバルクシリコン基板上に形成されるCMOSデバイスを例にとって説明したが、SOI構造のCMOSデバイスについても本発明を適用することができる。

【0050】更に、上記では、高融点金属シリサイドとしてタンゲステンシリサイド(WNx)を用いた場合を説明したが、他の高融点金属シリサイド、例えばモリブデンシリサイド(MoSi_x)、タンタルシリサイド(TaSi_x)、チタンシリサイド(TiSi_x)などのように、下地となるSiO₂膜と反応しないものを用

いてゲート電極の下層部分を形成した場合でも同様の効果、すなわち、適正な仕事関数、CMOSのpMOSトランジスタとnMOSトランジスタのしきい値電圧V_{th}の対称化、ゲート酸化膜との密着性、自己整合による拡散層形成の際にチャネル部分に不必要的不純物イオンが注入されるのを阻止できる程度の膜厚の確保及びゲート酸化膜に印加する引っ張り応力の軽減という効果が得られる。

【0051】

10 【発明の効果】以上説明したように、本発明によれば、ゲート電極のうちゲート酸化膜に接する下層を高融点金属シリサイドとすることにより、しきい値電圧に影響を与える仕事関数をシリコンのバンドギャップの中央付近に制御でき、しきい値電圧を適正な値に制御することができる。また、この高融点金属シリサイドの上に内部応力の比較的小さいポリシリコンを形成することによってゲート電極全体を十分な膜厚とすることで、自己整合によるソース/ドレイン拡散層を形成する際にゲート直下のチャネル部分に不純物イオンが注入されるのを有効に防止することができる。一方、内部応力の大きい高融点金属シリサイドの膜厚を十分な薄さに形成することができるので、ゲート酸化膜に印加される引っ張り応力は小さくなり、その結果リーク電流や界面電荷の増大が抑えられるので、デバイスの信頼性を高めることができる。また、しきい値電圧に影響を与えるゲート電極の酸化膜との界面付近の仕事関数とゲート電極の厚さなどのサイズとを別々に設計できるので、プロセス選択の自由度が増す。更に、ポリシリコンのサイドウォールによって高融点金属シリサイドを囲むことにより、高融点金属シリサイドが酸化雰囲気に直接さらされなくなるので、ゲート電極全体の被酸化特性が向上し、その結果、ゲート電極が酸化雰囲気にさらされても、高融点金属シリサイドの異常酸化が防止され、表面モロジー(Morphology)の劣化を抑制できる。

【図面の簡単な説明】

【図1】半導体装置で用いられる本発明の第1実施形態のゲート電極の構造を示した断面図である。

【図2】半導体集積回路で用いられる本発明の第2実施形態のゲート電極の構造を示した断面図である。

40 【図3】半導体集積回路で用いられる本発明の第3実施形態のゲート電極の構造を示した断面図である。

【図4】図2に示した構造のゲート電極を有する半導体装置の製造方法を説明するための断面図であり、シリコン基板30上にLOCOS法を用いて素子分離領域31を形成した状態を示している。

【図5】図2に示した構造のゲート電極を有する半導体装置の製造方法を説明するための断面図であり、ゲート酸化膜32の上にタンゲステンシリサイド33、ポリシリコン34を形成した状態を示している。

50 【図6】図2に示した構造のゲート電極を有する半導体

装置の製造方法を説明するための断面図であり、ポリシリコン34を導体化するために不純物イオンのイオン注入を行っている状態を示している。

【図7】図2に示した構造のゲート電極を有する半導体装置の製造方法を説明するための断面図であり、SiO₂膜35を形成した状態を示している。

【図8】図2に示した構造のゲート電極を有する半導体装置の製造方法を説明するための断面図であり、SiO₂膜35の上にレジストを塗布し、フォトリソグラフィでゲート電極のパターンに基づいてパターニングを行い、レジストマスク36を形成した状態を示している。

【図9】図2に示した構造のゲート電極を有する半導体装置の製造方法を説明するための断面図であり、ゲート電極の形状にパターン化されたSiO₂膜35aを形成した状態を示している。

【図10】図2に示した構造のゲート電極を有する半導体装置の製造方法を説明するための断面図であり、ポリシリコン34a及びタンゲステンシリサイド33aをSiO₂膜35aと同一パターンに加工してゲート電極37を得た状態を示している。

【図11】図2に示した構造のゲート電極を有する半導体装置の製造方法を説明するための断面図であり、サイドウォール38を形成した状態を示している。

【図12】図2に示した構造のゲート電極を有する半導体装置の製造方法を説明するための断面図であり、不純物をイオン注入してソース／ドレイン拡散層を形成する様子を示している。

【図13】図2に示した構造のゲート電極を有する半導体装置の製造方法を説明するための断面図であり、層間絶縁膜40の堆積、コンタクトホール41の形成、メタル42によるコンタクトホールの穴埋め、配線43の形成

*成を行った状態を示している。

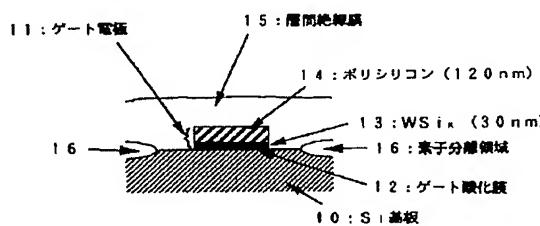
【図14】nMOSトランジスタとpMOSトランジスタで、ドーパントのタイプが異なるポリシリコンをゲート電極として用いた場合にそれぞれのゲート電極の仕事関数が大きく変動することを説明するための図である。

【図15】タンゲステンシリサイド(WSi_x)60を単層のゲート電極として用いた従来のMOSトランジスタの断面図である。

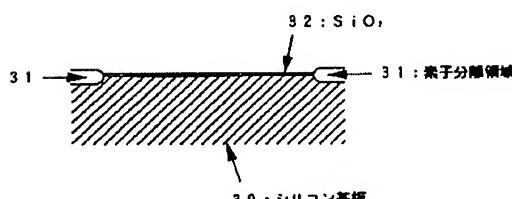
【符号の説明】

10	10, 30	シリコン基板
	11, 37	ゲート電極
	12, 32	ゲート酸化膜(SiO ₂)
	13, 33, 33a, 55, 56	タンゲステンシリサイド(WSi _x)
	14, 34, 34a, 51, 53	ポリシリコン
	15	層間絶縁膜(SiO ₂)
	16, 31	LOCOSによる素子分離領域
	18, 35, 35a	ストッパーSiO ₂
	19	サイドウォール
20	20	窒化タンゲステン(WNx)
	36	レジストマスク
	38	サイドウォール
	39	フォトレジスト
	40	層間絶縁膜
	41	コンタクトホール
	42	メタル
	43	配線
	50	nMOSトランジスタ
	52	pMOSトランジスタ
30	54	CMOS
	60	タンゲステンシリサイド単層ゲート電極

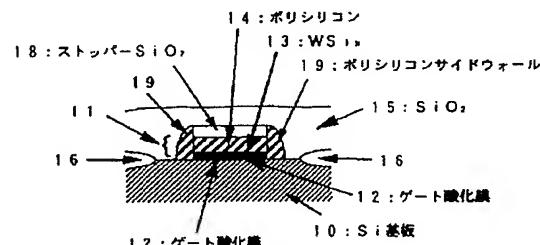
【図1】



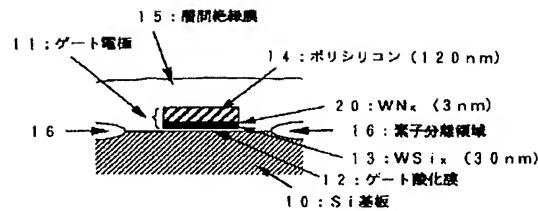
【図4】



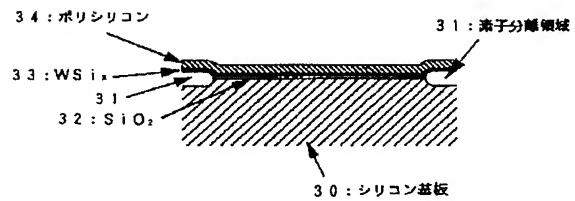
【図2】



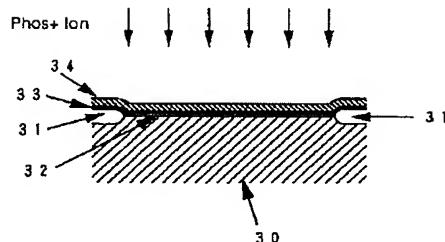
【図3】



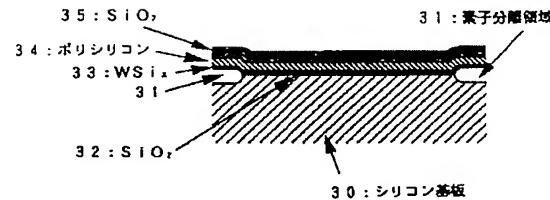
【図5】



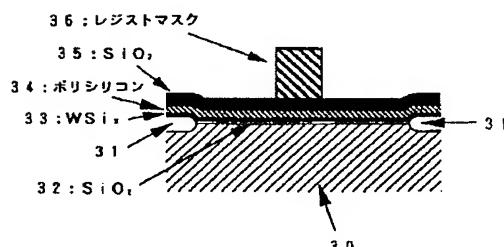
【図6】



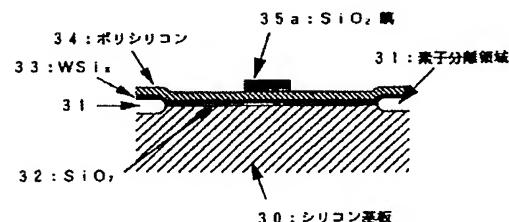
【図7】



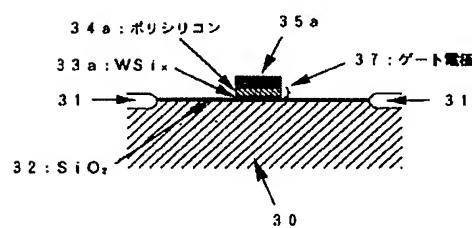
【図8】



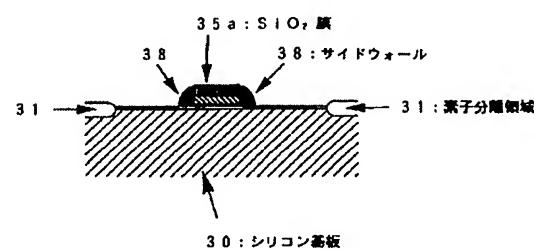
【図9】



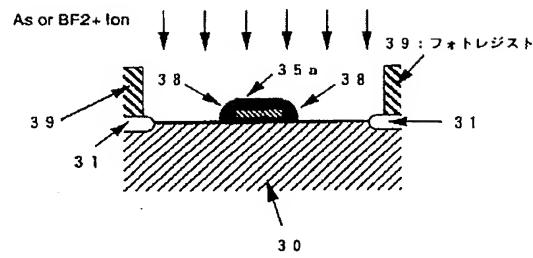
【図10】



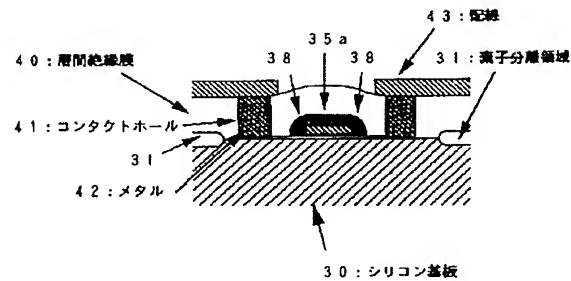
【図11】



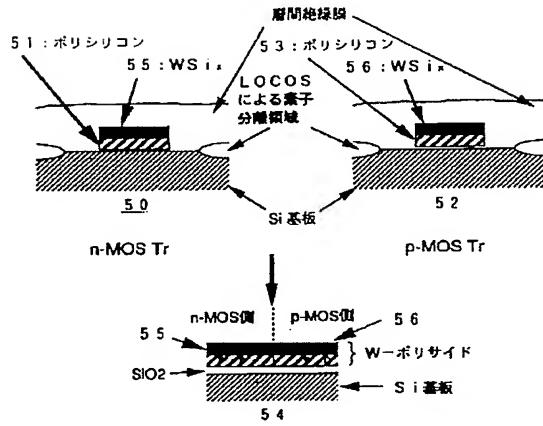
【図12】



【図13】



【図14】



【図15】

